

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076250

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/60

H01L 23/12

(21)Application number : 2000-259227

(71)Applicant : NEC CORP

(22)Date of filing : 29.08.2000

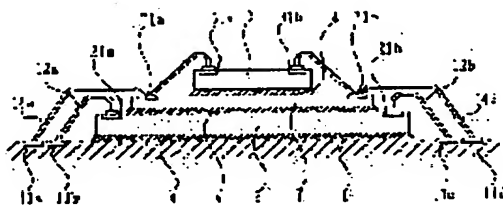
(72)Inventor : FURUSAWA KOJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which sagging of a wire due to one's own weight or tilting of the wire at sealing is eliminated by shortening the length of the wire per loop.

SOLUTION: The semiconductor device comprises a plurality of semiconductor chips 2 and 3 stacked on a substrate 1, where a wiring layer 7 for interconnecting bonding wires is provided between the semiconductor chips 2 and 3.



LEGAL STATUS

[Date of request for examination]

24.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanes Publication for Un xamined Patent Application**N . 76250-2002 (Tokukai 2002-76250)****A. Relevance of the above-identified Document**

This document has relevance to claims 1 and 5 of the present application.

B. Translation of the Relevant Passages of the Document

[WHAT IS CLAIMED IS]

[CLAIM 1]

A semiconductor device, in which a plurality of semiconductor chips are stacked on a substrate, comprising

a wiring layer, provided between the semiconductor chips, which relays a wire-bonding wiring.

[CLAIM 2]

The semiconductor device as set forth in claim 1, wherein a relay bonding pad is provided on the wiring layer.

[CLAIM 3]

The semiconductor device as set forth in claim 1, wherein at least two relay bonding pads and a connection wiring for connecting the two relay bonding pads are provided on the wiring layer.

[CLAIM 4]

The semiconductor device as set forth in claim 3, wherein the two relay bonding pads provided on the wiring layer are disposed so as

to sandwich the semiconductor chips stacked on the substrate.

[MEANS TO SOLVE THE PROBLEMS]

[0006]

In order to achieve the foregoing object, the following technical arrangement is basically adopted.

[0007]

That is, a first mode of a semiconductor device according to the present invention is such that: a plurality of semiconductor chips are stacked on a substrate, and the semiconductor device includes a wiring layer, provided between the semiconductor chips, which relays a wire-bonding wiring. A second mode of the semiconductor device according to the present invention is such that: a relay bonding pad is provided on the wiring layer. A third mode of the semiconductor device according to the present invention is such that: at least two relay bonding pads and a connection wiring for connecting the two relay bonding pads are provided on the wiring layer. A fourth mode of the semiconductor device according to the present invention is such that: the two relay bonding pads provided on the wiring layer are disposed so as to sandwich the semiconductor chips stacked on the substrate.

[EMBODIMENT OF THE INVENTION]

[0008]

The semiconductor device according to the present invention, in which a plurality of semiconductor chips are stacked on a substrate, includes a wiring layer, provided between the semiconductor chips, which relays a wire-bonding wiring.

[0009]

The present invention is arranged in the foregoing manner, so that it is possible to shorten the wire's length for each loop. As a result, it is possible to prevent the wire's strength from dropping, so that it is possible to prevent the occurrence of disadvantage.

[0011] (First Specific Example)

Fig. 1 is a cross sectional view showing a first specific example of the semiconductor device according to the present invention. Fig. 1 shows the semiconductor device, including a plurality of semiconductor chips 2 and 3 stacked on a substrate 1, wherein there is provided a wiring layer 7 for relaying wire-bonding wirings 14a and 14b. Also, the semiconductor device is arranged so that relay bonding pads 71a and 71b are provided on the wiring layer 7.

[0013]

In the first specific example, the semiconductor chip 2 having an integrated circuit therein, a polyimide tape 7 in which a copper foil layer is surrounded by polyimide, and the semiconductor chip 3 having an integrated circuit therein as in the semiconductor chip 2, are stacked in this order on a print wiring substrate 1, in which an electric circuit obtained by disposing a copper wiring on a resin base material is provided therein, by using adhesive 4.

[0014]

The print wiring substrate 1, the semiconductor chip 2, and the semiconductor chip 3 respectively have wire-bondable bonding pads 11a to 11d, wire-bondable bonding pads 21a and 21b, and wire-bondable

bonding pads 31a and 31b, each of which is used to connect an internal circuit to an external circuit. Further, wire-bonding relay pads 71a and 71b are provided on the polyimide tape 7 via the copper foil provided therein.

[0015]

Further, the print wiring substrate 1, the semiconductor chip 2, and the semiconductor chip 3 are electrically connected to each other via internal circuits provided therein, so that a desired operation can be obtained.

[0016]

In the semiconductor device arranged in the foregoing manner, the print wiring substrate 1 and the semiconductor chip 2 are connected to each other by connecting the bonding pads 11b and 11c to the bonding pads 21a and 21b via the wires 12a and 12b, so that the internal circuits are electrically connected to each other.

[0017]

Likewise, the print wiring substrate 1 and the semiconductor chip 3 are connected to each other by connecting the bonding pads 11a and 11b to the bonding pads 31a and 31b via the wires 14a and 14b, so that the internal circuits are electrically connected to each other. In this case, the wires 14a and 14b connect the bonding pads 31a and 31b of the semiconductor chip 3 to the relay pads 71a and 71b, and the relay pads 71a and 71b are connected to the bonding pads 11a and 11b of the print wiring substrate 1.

[0019] (Second Specific Example)

Fig. 2 is a cross sectional view showing the second specific example of the semiconductor device according to the present invention. Fig. 2 shows the semiconductor device in which at least two relay bonding pads 71a and 71b and a connection wiring 72 for connecting the relay bonding pad 71a to the relay bonding pad 71b are provided on the wiring layer 7. In the semiconductor device, the two relay bonding pads 71a and 71b provided on the wiring layer 7 are disposed so as to sandwich the semiconductor chip 3 stacked on an upper portion of the wiring layer 7.

[0021]

The second specific example shows the semiconductor device which is different from the semiconductor device of Fig. 1 in that: the wiring 72 is provided on an internal layer of the polyimide tape 7, so that arbitrary relay pads 71 can be electrically connected to each other.

[0022]

In the second specific example, the bonding pad 31a of the semiconductor chip 3 is connected, via the internal wiring 72 of the polyimide tape 7, to the bonding pad 11d on the print wiring substrate 1 positioned on an opposite side with the semiconductor chip 3 therebetween. According to the arrangement, it is possible to realize the effect obtained in the first specific example, and it is possible to dispose the wiring (in this case, 73a, 14b) between the print wiring substrate 1 and the semiconductor chip 3 in a roundabout manner more freely.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76250

(P2002-76250A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 0 1 P 5 F 0 4 4
25/07			3 0 1 A
25/18		25/08	Z
21/60	3 0 1	23/12	W

審査請求 有 請求項の数 7 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願2000-259227 (P2000-259227)

(22) 出願日 平成12年8月29日 (2000.8.29)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古澤 宏治

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100070530

弁理士 畑 泰之

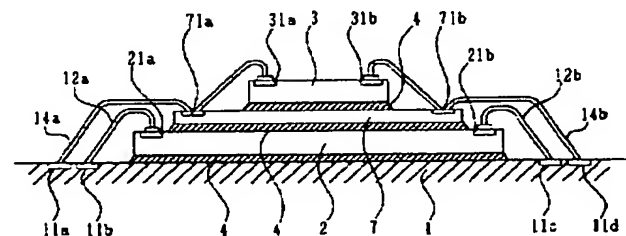
Fターム (参考) 5F044 AA10 HH01

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 1 ループあたりのワイヤーの長さを短くし、以て、自重によるワイヤーの垂れや、封止時のワイヤーの倒れなどの不具合をなくした半導体装置を提供する。

【解決手段】 基板1上に複数の半導体チップ2、3を積層した半導体装置において、前記半導体チップ2、3間に、ワイヤーボンディング用のワイヤーを中継配線するための配線層7を設けたことを特徴とする。



(2)

【特許請求の範囲】

【請求項1】 基板上に複数の半導体チップを積層した半導体装置において、前記半導体チップ間に、ワイヤーボンディング用のワイヤーを中継配線するための配線層を設けたことを特徴とする半導体装置。

【請求項2】 前記配線層には、中継用のボンディングパッドが設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記配線層には、少なくとも二つの中継用のボンディングパッドと、前記二つの中継用のボンディングパッド間を接続する接続配線とが設けられていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記配線層に設けられた二つの中継用のボンディングパッドは、この配線層の上部に積層された半導体チップを挟むようにして配設されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記配線層には、中継用のボンディングパッドと、この中継用のボンディングパッドに接続し、且つ、この配線層を貫通するビヤホールとが設けられていることを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】 前記配線層のビヤホールと前記配線層の下側に設けられた半導体チップのボンディングパッドとが接続されていることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記配線層は、半導体チップ上に形成した再配線層であることを特徴とする請求項1乃至6のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係わり、特に、複数の半導体チップを積層した半導体装置に関する。

【0002】

【従来の技術】図7に従来の技術を示す。高密度実装技術の一つとして、基板上に複数の半導体チップを積層実装するスタック実装と呼ばれる技術が用いられている。

【0003】スタック実装では、通常、基板と積層された半導体チップとの接続は、ワイヤーボンディングにより行われる。このため、上に積み重ねた半導体チップが、下の半導体チップのボンディングパッドに干渉しないように、チップサイズの大きい順に半導体チップが積層される。

【0004】基板上のボンディングパッドは、最下層の半導体チップの周囲に設けられるので、チップサイズが小さい上層の半導体チップほど、基板上のボンディングパッドまでの距離が長くなる。このため、上層と下層のチップサイズが異なるほど、上層の半導体チップのボンディングパッドと基板上のボンディングパッドとの距離

が長くなる。特に、1ループあたりのワイヤーが長くなるとワイヤーの強度が低下し、自重によるワイヤーの垂れや、封止時のワイヤーの倒れなどの不具合が発生し、歩留まりが悪化するという欠点があった。

【0005】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、1ループあたりのワイヤーの長さを短くし、以て、自重によるワイヤーの垂れや、封止時のワイヤーの倒れなどの不具合をなくして、歩留まりを向上せしめた新規な半導体装置を提供することにある。

【0006】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【0007】即ち、本発明に係わる半導体装置の第1態様は、基板上に複数の半導体チップを積層した半導体装置において、前記半導体チップ間に、ワイヤーボンディング用のワイヤーを中継配線するための配線層を設けたことを特徴とするものであり、又、第2態様は、前記配線層には、中継用のボンディングパッドが設けられていることを特徴とするものであり、又、第3態様は、前記配線層には、少なくとも二つの中継用のボンディングパッドと、前記二つの中継用のボンディングパッド間を接続する接続配線とが設けられていることを特徴とするものであり、又、第4態様は、前記配線層に設けられた二つの中継用のボンディングパッドは、この配線層の上部に積層された半導体チップを挟むようにして配設されていることを特徴とするものであり、又、第5態様は、前記配線層には、中継用のボンディングパッドと、この中継用のボンディングパッドに接続し、且つ、この配線層を貫通するビヤホールとが設けられていることを特徴とするものであり、又、第6態様は、前記配線層のビヤホールと前記配線層の下側に設けられた半導体チップのボンディングパッドとが接続されていることを特徴とするものであり、又、第7態様は、前記配線層は、半導体チップ上に形成した再配線層であることを特徴とするものである。

【0008】

【発明の実施の形態】本発明に係わる半導体装置は、基板上に複数の半導体チップを積層した半導体装置において、前記半導体チップ間に、ワイヤーボンディング用のワイヤーを中継配線するための配線層を設けたことを特徴とするものである。

【0009】本発明は、このように構成したので、1ループあたりのワイヤーの長さを短くすることができ、その結果、ワイヤーの強度低下を防ぐことができ、不具合の発生を防止することが可能になった。

【0010】

【実施例】以下に、本発明に係わる半導体装置の具体例

(3)

3

を図面を参照しながら詳細に説明する。

【0011】(第1の具体例)図1は、本発明に係わる半導体装置の第1の具体例を示す断面図であって、この図1には、基板1上に複数の半導体チップ2、3を積層した半導体装置において、前記半導体チップ2、3間に、ワイヤーボンディング用のワイヤー14a、14bを中継配線するための配線層7を設けたことを特徴とする半導体装置が示され、又、前記配線層7には、中継用のボンディングパッド71a、71bが設けられていることを特徴とする半導体装置が示されている。

【0012】以下に、第1の具体例を更に詳細に説明する。

【0013】第1の具体例では、樹脂を基材として銅配線による電気回路を内蔵したプリント配線基板1上に、集積回路を内蔵した半導体チップ2、銅箔層をポリイミドで挟んだポリイミドテープ7、同じく集積回路を内蔵した半導体チップ3の順に、それぞれ接着剤4で積層して実装される。

【0014】プリント配線基板1、半導体チップ2、半導体チップ3は、それぞれ内蔵された回路と外部回路との接続用として、ワイヤーボンディングが可能なボンディングパッド11a~11d、ボンディングパッド21a、21b、ボンディングパッド31a、31bをそれぞれ有する。また、ポリイミドテープ7には、内蔵した銅箔層により、ワイヤーボンディング用の中継パッド71a、71bが設けられている。

【0015】そして、プリント配線基板1、半導体チップ2、半導体チップ3にそれぞれ内蔵された回路を電気的に相互に接続することで、所望の動作が得られる。

【0016】このように構成された半導体装置において、プリント配線基板1と半導体チップ2は、それぞれボンディングパッド11b、11cとボンディングパッド21a、21bとをワイヤー12a、12bとでそれぞれ接続することにより、内蔵された回路が電気的に接続される。

【0017】プリント配線基板1と半導体チップ3も同様に、それぞれボンディングパッド11a、11dとボンディングパッド31a、31bとをワイヤー14a、14bでそれぞれ接続することにより、内蔵された回路が電気的に接続される。この場合、ワイヤー14a、14bは、半導体チップ3のボンディングパッド31a、31bからポリイミドテープ7の中継パッド71a、71bに一旦接続し、更に、プリント配線基板1のボンディングパッド11a、11dへそれぞれ接続するように配線する。

【0018】なお、3個以上のボンディングパッドを飛び石状に接続するワイヤーの配線はステッチングと呼ばれ、ワイヤーボンディングにおいては、一般的な技術である。

【0019】(第2の具体例)図2は、本発明に係わる

4

半導体装置の第2の具体例を示す断面図であって、この図2には、配線層7には、少なくとも二つの中継用のボンディングパッド71a、71bと、前記二つの中継用のボンディングパッド71a、71b間を接続する接続配線72とが設けられていることを特徴とする半導体装置が示され、又、前記配線層7に設けられた二つの中継用のボンディングパッド71a、71bは、この配線層7の上部に積層された半導体チップ3を挟むようにして配設されていることを特徴とする半導体装置が示されている。

【0020】以下に、第2の具体例を更に詳細に説明する。

【0021】この第2の具体例は、図1の半導体装置において、ポリイミドテープ7の内層に配線72を設けることで、任意の中継パッド71同士を電気的に接続できるようにしたものである。

【0022】第2の具体例では、例えば、半導体チップ3のボンディングパッド31aと、半導体チップ3を挟んで反対側のプリント配線基板1上のボンディングパッド11dとを、ポリイミドテープ7の内層配線72を通して接続する。このように構成することで、第1の具体例で得られる効果に加えて、プリント配線基板1と半導体チップ3間のワイヤー配線(この場合、73a、14b)の引き回しの自由度が向上するという効果が得られる。

【0023】(第3の具体例)図3、図4は、本発明に係わる半導体装置の第3の具体例を示す断面図であって、これらの図には、配線層8には、中継用のボンディングパッド81c、81dと、この中継用のボンディングパッド81c、81dに接続し、且つ、この配線層8を貫通するビヤホール82a、82bとが設けられていることを特徴とする半導体装置が示され、又、前記配線層8のビヤホール82a、82bと前記配線層8の下側に設けられた半導体チップ2のボンディングパッド21a、21bとが接続されていることを特徴とする半導体装置が示され、又、前記配線層8は、半導体チップ2上に形成した再配線層であることを特徴とする半導体装置が示されている。

【0024】以下に、第3の具体例を更に詳細に説明する。

【0025】図3の具体例は、再配線技術により半導体チップ2上に、新たにポリイミドとアルミの層を積層して形成した再配線層8を設け、ポリイミドテープ7の代わりとした例である。

【0026】この第3の具体例では、第1の具体例と同様に、再配線層8上に中継パッド81a~81dを設けると共に、半導体チップ2のボンディングパッド21a、21b上の再配線層8にビヤホール82a、82bを設けて、ボンディングパッド21a、21bの配線をそれぞれ再配線層8の表面に引き出すようにし、再配線

(4)

5

層8上のボンディングパッド81c、81dからボンディングワイヤー12a、12bでそれぞれプリント配線板1上のボンディングパッド11b、21cに配線するようにしたものである。

【0027】再配線層8は、半導体チップ2がウェハの状態で行うので、第1の具体例の半導体装置に比べて後工程の組立作業が簡単になるという効果がある。

【0028】図4は、再配線層8の内層に配線83を設けることで、任意の中継パッド81a、81b同士を電気的に接続できるようにした例である。

【0029】このように構成すること、上記した効果に加えて、プリント配線基板1と半導体チップ3間のワイヤー配線の引き回しの自由度を向上させることが出来る。

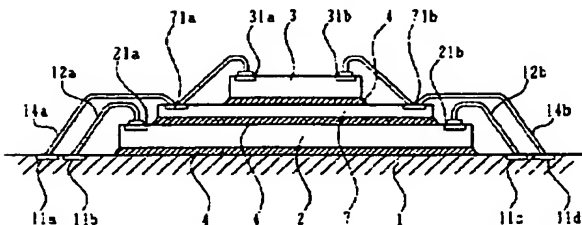
【0030】(第4の具体例) 図5、図6は、本発明の半導体装置の第4の具体例を示す断面図である。

【0031】図5は、半導体チップ2がセルベースICである場合の例である。

【0032】セルベースICは、予め半導体チップ内にメモリやゲートアレイなどの汎用的な集積回路を設けておき、用途に応じて回路間やボンディングパッドへの接続を後から行うことができるセミカスタムLSIである。内部の集積回路とボンディングパッドとの接続には自由度があるため、ある程度任意の位置に、未使用のボンディングパッドを設けることができる。図5は、そうした未使用のボンディングパッド21a、21bを中継パッドとして使用した例であり、図1～図4に示したものに比べて構造が簡易で、組立作業が簡単になるという効果がある。

【0033】図6は、図5の半導体装置において、半導体チップ2の任意の未使用ボンディングパッド21a、21b同士を接続配線22で接続した例である。この場合も、プリント配線基板1と半導体チップ3間のワイヤー配線の引き回しの自由度が向上する効果が得られる。

【図1】



6

【0034】

【発明の効果】本発明に係わる半導体装置は、上述のように構成したので、1ループあたりのワイヤー長さを短くできるから、ワイヤーの強度が低下することを防ぐことができ、従って、従来発生したような不具合がなくなり、歩留まりが向上する。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の第1の具体例を示す断面図である。

10 【図2】本発明に係わる半導体装置の第2の具体例を示す断面図である。

【図3】本発明に係わる半導体装置の第3の具体例を示す断面図である。

【図4】第2の具体例の変形例を示す断面図である。

【図5】本発明に係わる半導体装置の第4の具体例を示す断面図である。

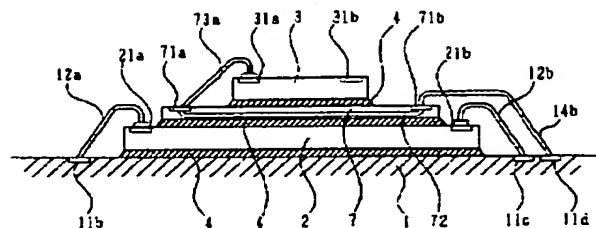
【図6】第4の具体例の変形例を示す断面図である。

【図7】従来例を示す断面図である。

【符号の説明】

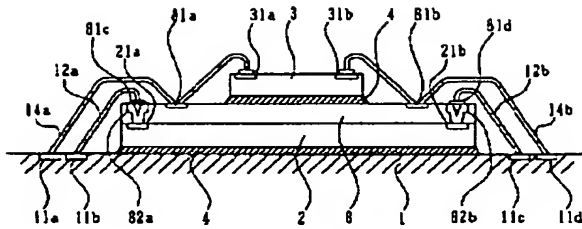
- 1 プリント配線基板
- 20 2、3 半導体チップ
- 4 接着剤
- 7 ポリイミドテープ（配線層）
- 8 再配線層（配線層）
- 11a～11d プリント配線基板のボンディングパッド
- 12a、12b、14a、14b、73a ワイヤー
- 21a、21b、31a、31b 半導体チップのボンディングパッド
- 30 71a、71b、81a、81b、81c、81d 配線層のボンディングパッド
- 72 配線層の接続配線
- 83 再配線層の接続配線
- 82a、82b 配線層のビヤホール

【図2】

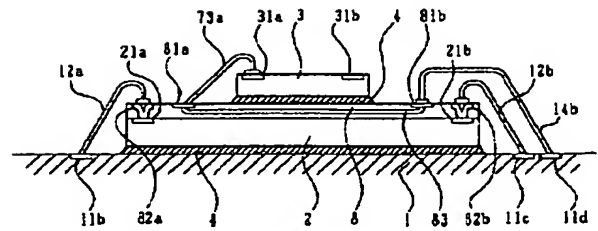


(5)

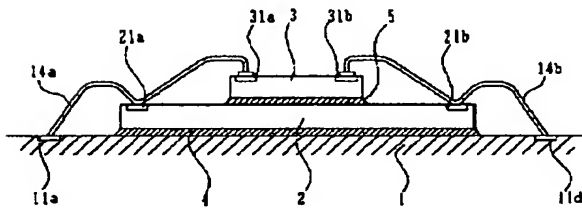
【図3】



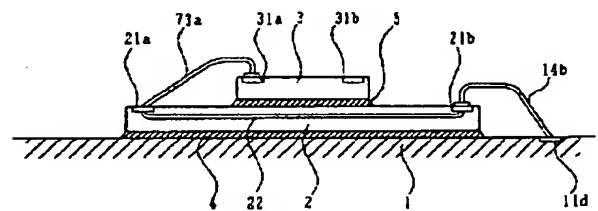
【図4】



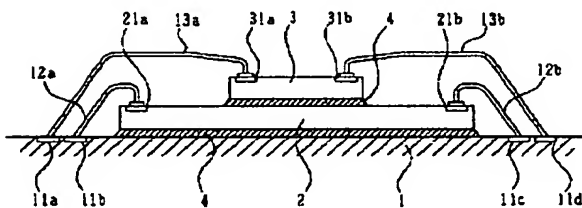
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7
H01L 23/12

識別記号

F I

テーマコード (参考)